

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-271722

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

G02F 1/1333

G01R 31/00

G02F 1/136

(21)Application number : 10-072760

(71)Applicant : SHARP CORP

(22)Date of filing : 20.03.1998

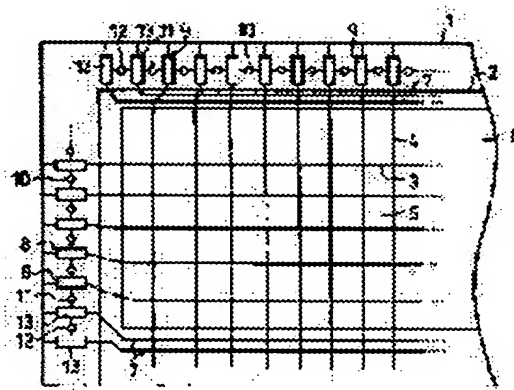
(72)Inventor : NAGATA HISASHI
SHIMADA NAOYUKI
TAJIMA YOSHIMITSU

(54) ACTIVE MATARIX SUBSTRATE AND ITS INSPECTING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent dielectric breakdown at the intersection part of a preliminary wire and a signal line or scanning line by providing a protecting circuit which connects adjacent preliminary wires.

SOLUTION: On an active matrix substrate 1, scanning lines 3 and signal lines 4 are arranged crossing each other and preliminary wires 7 are arranged on the input side and non-input side of the signal lines 4, respectively. Here, a protecting circuit 12 is provided between adjacent preliminary wires 7. Consequently, when a body which is charged electrostatically is brought into contact with a preliminary wire or when some preliminary wire is brought into contact with a grounded body or a body with large capacity while the panel itself is charged electrostatically, the protecting circuit discharges electric charges to other adjacent preliminary wires to avoid the concentration of an electric field on a specific preliminary wire. The resistance value of the protecting circuit is 2 to 400 MΩ.



LEGAL STATUS

[Date of request for examination] 12.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3396620

[Date of registration] 07.02.2003

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

USP 6342931.

4

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-271722

(43)公開日 平成11年(1999)10月8日

(51) Int. Cl. ⁸	識別記号
G 0 2 F 1/1333	
G 0 1 R 31/00	
G 0 2 F 1/136	5 0 0

FI
G 0 2 F 1/1333
G 0 1 R 31/00
G 0 2 F 1/136 5 0 0

審査請求 未請求 請求項の数16 O L (全 18 頁)

(21)出願番号 特願平10-72760

(22)出願日 平成10年(1998)3月20日

(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者 永田 尚志
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 島田 尚幸
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 田島 善光
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

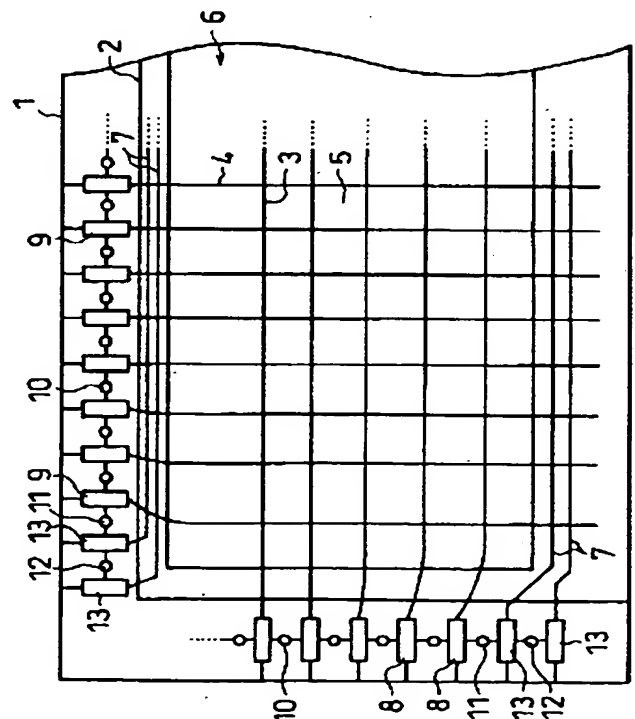
(74)代理人 弁理士 原 謙三

(54) 【発明の名称】 アクティブマトリクス基板およびその検査方法

(57) 【要約】

【課題】 予備配線と信号線もしくは走査線との交差部における絶縁破壊を防止し、さらに、電位の突き上げによるTFT素子の特性劣化を防止するアクティブマトリクス基板およびその検査方法を提供する。

【解決手段】 アクティブマトリクス基板 1 上に設けられた複数の予備配線 7 への不所望の高電圧印加から基板を保護するため、予備配線 7 の各隣合う線を接続する保護回路 12 を備えた構成とする。



(2)

1

【特許請求の範囲】

【請求項1】基板上に、平行に配設された複数の走査線と、該走査線と交差するように平行に配設された複数の信号線と、該信号線および／または走査線の入力側および非入力側に、該信号線および／または走査線と交差するように配設された複数の予備配線とを有するアクティブマトリクス基板において、

前記予備配線への不所望の高電圧印加から基板を保護するため、前記予備配線の各隣合う線を接続する第1の保護回路を備えることを特徴とするアクティブマトリクス基板。

【請求項2】前記第1の保護回路の抵抗値は、 $2\text{M}\Omega$ 以上 $400\text{M}\Omega$ 以下であることを特徴とする請求項1記載のアクティブマトリクス基板。

【請求項3】前記走査線の各隣合う線および／または前記信号線の各隣合う線を接続する第2の保護回路を備えるとともに、前記予備配線と前記走査線および／または前記予備配線と前記信号線とを接続する第3の保護回路を備えることを特徴とする請求項1または2記載のアクティブマトリクス基板。

【請求項4】前記第1～第3の保護回路は、互いに逆方向に並列接続された二つのダイオード構造の半導体素子を備えることを特徴とする請求項3記載のアクティブマトリクス基板。

【請求項5】前記第1の保護回路において、前記ダイオード構造の半導体素子のチャネル幅をチャネル長で除した比が、0.4以上30以下であることを特徴とする請求項4記載のアクティブマトリクス基板。

【請求項6】前記第1の保護回路において、前記ダイオード構造の半導体素子のチャネル幅が $200\mu\text{m}$ 以下であり、チャネル長が $3\mu\text{m}$ 以上であることを特徴とする請求項5記載のアクティブマトリクス基板。

【請求項7】前記予備配線と前記走査線とを接続する前記第3の保護回路において、前記ダイオード構造の半導体素子のチャネル幅をチャネル長で除した比が、他の保護回路の比よりも低く設計されていることを特徴とする請求項4記載のアクティブマトリクス基板。

【請求項8】点灯検査後に切り落とされるべき領域において、前記走査線に接続された点灯検査用の端子および信号線に接続された点灯検査用の端子と、前記予備配線に接続された点灯検査用の端子と、前記予備配線の各隣合う線を接続する第4の保護回路とを備えることを特徴とする請求項1記載のアクティブマトリクス基板。

【請求項9】前記第4の保護回路の抵抗値は、前記第1の保護回路の抵抗値よりも小さく、かつ前記予備配線1本分の抵抗値の20倍よりも大きいことを特徴とする請求項8記載のアクティブマトリクス基板。

【請求項10】点灯検査後に切り落とされるべき領域において、前記走査線の点灯検査用の各端子および／または前記信号線の点灯検査用の各端子を接続する第5の保

2

護回路を備えるとともに、前記予備配線と前記走査線および／または前記予備配線と前記信号線とを接続する第6の保護回路を備えることを特徴とする請求項8記載のアクティブマトリクス基板。

【請求項11】前記第4～第6の保護回路は、互いに逆方向に並列接続された二つのダイオード構造の半導体素子を備えることを特徴とする請求項10記載のアクティブマトリクス基板。

【請求項12】前記第4の保護回路において、前記ダイオード構造の半導体素子のチャネル幅をチャネル長で除した比が、前記第1の保護回路の比よりも大きく、かつ3000以下であることを特徴とする請求項11記載のアクティブマトリクス基板。

【請求項13】前記第4の保護回路において、前記半導体素子のゲート絶縁膜は、ゲート電極の陽極酸化膜を含むことなく構成される一方、前記第1の保護回路において、前記半導体素子のゲート絶縁膜は、ゲート電極の陽極酸化膜を含んで構成されることを特徴とする請求項11記載のアクティブマトリクス基板。

【請求項14】前記第1の保護回路または第4の保護回路が遮光されていることを特徴とする請求項1または8記載のアクティブマトリクス基板。

【請求項15】請求項8記載のアクティブマトリクス基板の検査方法であって、

前記第4の保護回路の抵抗値が、前記予備配線1本分の抵抗値の20倍よりも大きくなる範囲で、ループ抵抗を測定する抵抗測定装置の印加電圧を決定していることを特徴とするアクティブマトリクス基板の検査方法。

【請求項16】修正を施した複数の予備配線間に $1\mu\text{A}$ 以下の電流を流し、その端子間電圧を測定することにより、ループ抵抗を測定することを特徴とする請求項15記載のアクティブマトリクス基板の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス基板およびその検査方法に関し、より詳細には、画素電極にスイッチング素子を介して駆動電圧を印加し、対向電極との電位差によって液晶を駆動して表示を行うアクティブマトリクス型の液晶表示装置等に使用されるアクティブマトリクス基板およびその検査方法に関する。

【0002】

【従来の技術】従来より、アクティブマトリクス型の液晶表示装置においては、液晶パネルに個々の独立した画素部がマトリクス状に配置され、これら画素部に、画素電極およびスイッチング素子がそれぞれ設けられている。

【0003】上記アクティブマトリクス型の液晶表示装置は、スイッチング素子を介して駆動電圧を画素電極に印加し、この画素電極と、液晶を介して画素電極に対向

(3)

3

して配置されている対向電極との電位差によって液晶を駆動し、透過光もしくは反射光を光変調することで液晶パネルに画像を表示するようになっている。

【0004】上記液晶表示装置では、スイッチング素子として、MIM (Metal InsulatorMetal)素子やTFT (Thin Film Transistor) 素子が用いられている。特に、TFT素子を用いた液晶パネルは、その品質やコストの面から、アクティブマトリクス型の液晶表示装置として、現在、最も広く用いられている。

【0005】上記のTFT素子を用いた液晶表示装置は、マトリクス状に配置された画素部に対して、スイッチング素子を制御する走査信号を入力するための走査線と、液晶パネルに表示する画像の信号を入力するための信号線とが縦横に配置されている。また、走査線および信号線と画素電極との間には層間絶縁膜が形成されている。

【0006】上記の構造を有する液晶表示装置は、層間絶縁膜を用いて、走査線および信号線の上に画素電極を積層させている。そして、たとえば、特開昭58-172685号公報に開示されている液晶表示装置は、かかる構成を採用することで、各画素において開口率を向上し、さらに、信号線に起因する電界を絶縁膜でシールドして液晶の配向不良を抑制するものである。

【0007】ところで、TFT素子などのスイッチング素子は、一般に強電界に対して弱い。このため、液晶表示装置の製造工程などにおいて発生する静電気が、TFT素子を破壊することがある。たとえば、液晶表示装置では、液晶の配向方向を決定するために、ポリイミドなどからなる配向膜が基板上に形成されている。そして、この配向膜を布によって一方向にラビングすることで液晶分子の配向方向を決定しているが、このとき、ラビングによって静電気が発生する。

【0008】上記の静電気によって基板上の走査線や信号線が帯電すると、TFT素子内の半導体層の結晶構造に影響を及ぼす。これによって、TFT素子のしきい値が数Vずれることになる。その結果、スイッチング素子のスイッチングが正常に行われなくなり、静電気が印加された部分が欠陥画素として認識されてしまう。

【0009】上述のような事態を防止するために、基板の製造工程においては、一般に、走査線および信号線のすべての入力端子をショートリングと称される金属パターンで短絡している。しかし、このショートリングは、アクティブマトリクス基板と対向基板とが貼り合わされて液晶パネルが形成された後、上記入力端子にドライバ等の周辺回路を実装するまでに取り除かれる。したがって、入力端子のショートリングは、実装工程で生じる静電気に対する対策としては不適である。

【0010】そこで、走査線および/または信号線における入力端子の近傍において、隣合う走査線同士および/または信号線同士を接続するようにして、保護回路を

4

設けることが行われている。

【0011】図9は、従来のアクティブマトリクス基板51の構成を概略的に示す平面図である。液晶パネルは、アクティブマトリクス基板51と対向基板52とがシール材(図示せず)によって貼り合わされ、両基板51・52間に液晶(図示せず)が封入されて構成されている。

【0012】アクティブマトリクス基板51上には、複数の走査線53および複数の信号線54が縦横に配置されている。この走査線53と信号線54とで区分された各領域が画素部55となり、画素部55がマトリクス状に配置されることにより有効表示領域56が構成される。

【0013】また、アクティブマトリクス基板51上には、信号線54の入力側と非入力側とに複数の予備配線57が配設されている。

【0014】さらに、アクティブマトリクス基板51上には、各走査線53および各信号線54の端部において、走査線入力端子58および信号線入力端子59がそれぞれ形成されている。そして、保護回路60は、アクティブマトリクス基板51上に、隣合う走査線53同士および信号線54同士を接続するようにして形成されている。

【0015】保護回路60は、たとえば、ダイオードを利用したスイッチング素子を用いて形成することができる。つまり、このスイッチング素子を、図10に示すように、逆方向に二つ並列させてダイオードリング構造を形成することにより、保護回路60とすることができ、これを互いに隣合う走査線53同士および信号線54同士を接続するように形成する。

【0016】上記の構成は、たとえば特開昭63-106788号公報にも開示されており、これにより、ある一定の値以上の電界が一箇所に加わった場合に、その電荷を、近隣の走査線53および信号線54に逃がすことができるため、上述の静電破壊による不良の発生を防止することができる。

【0017】また、アクティブマトリクス基板51には、図9に示すように、点灯検査用の複数の端子61が設けられている。これら端子61は、点灯検査終了後にアクティブマトリクス基板51が分断線62に沿って切断されることで、アクティブマトリクス基板51から取り除かれる。

【0018】

【発明が解決しようとする課題】図9に示すように、予備配線57は、通常、有効表示領域56より外側で信号線54および/または走査線53の端部と交差するように配置されている。このため、予備配線57の端子部63においても、走査線53および信号線54の端子58・59・60よりも液晶パネルの隅に近いことが多い。従って、パネルを扱う際には、他の箇所より予備配線5

(4)

5

7の端子部63の方が先に触れやすく、静電気を帯びた物体に触れた場合、さらに、パネル自体が静電気を帯びていて、これが触れた物体に対して放電される場合には、予備配線57に高電圧が加わることも多い。

【0019】しかし、従来の保護回路60は、TFT素子の静電破壊を防止するために設置されたもので、配線上に半導体素子を持たない予備配線57については保護回路60は設けられていなかった。

【0020】ところで、予備配線57は、信号線54および/または走査線53に欠陥があったときにはじめて、レーザなどを用いてこれら配線54・53と接続されるべく、元来は電氣的に浮かされた状態で設置されている。このため、極めて高インピーダンスであり、端子部63などから静電気による高電圧が印加された場合、レーザ接続のための信号線54および/または走査線53との交差部64において、高電圧による絶縁破壊を引き起こし、その結果、電氣的な不具合を生ずることがあった。

【0021】また、前記交差部64において絶縁破壊を起こさなかった場合でも、該交差部64の容量によって信号線54および/または走査線53の一部の電位が予備配線57の電位近傍まで突き上げられ、その結果、各画素部55のTFT素子の動作に不具合をもたらすという問題が生じていた。

【0022】本発明は上記の問題点に鑑みてなされたものであり、その目的は、予備配線と信号線もしくは走査線との交差部における絶縁破壊を防止し、さらに、電位の突き上げによるTFT素子の特性劣化を防止するアクティブマトリクス基板およびその検査方法を提供することにある。

【0023】

【課題を解決するための手段】本発明の請求項1記載のアクティブマトリクス基板は、上記の課題を解決するために、基板上に、平行に配設された複数の走査線と、該走査線と交差するように平行に配設された複数の信号線と、該信号線および/または走査線の入力側および非入力側に、該信号線および/または走査線と交差するように配設された複数の予備配線とを有するアクティブマトリクス基板において、前記予備配線への不所望の高電圧印加から基板を保護するため、前記予備配線の各隣合う線を接続する第1の保護回路を備えることを特徴としている。

【0024】上記の構成によれば、ある予備配線に静電気を帯びた物体が接触した場合、また、パネル自体が帯電している状態で、ある予備配線が接地された物体や容量の十分大きい物体に接触した場合においても、上記の第1の保護回路によって隣接する他の予備配線へ電荷を逃がすことができ、特定の予備配線に電界が集中するのを避けることができる。これは、一定量の電荷に対し、該電荷を受け入れる側の静電容量が上記第1の保護回路

6

によって接続された本数分だけ増加するため、この電荷による電圧が実効的に小さくなる作用による。

【0025】従って、予備配線と信号線もしくは走査線との交差部における絶縁破壊を防止し、さらに、電位の突き上げによるTFT素子の特性劣化を防止することができる。

【0026】本発明の請求項2記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項1の構成において、前記第1の保護回路の抵抗値は、2MΩ以上400MΩ以下であることを特徴としている。

【0027】上記の構成によれば、第1の保護回路の抵抗値は、電荷を他の予備配線へ逃がすことができるように、および、表示装置に使用された場合にも表示動作を支障なく行うことができるように、上記範囲に設定されており、従って、上記絶縁破壊の防止およびTFT素子の特性劣化の防止を確実に達成するとともに、表示装置に使用された場合にも装置の信頼性が確保される。

【0028】例えば、ある予備配線に印加された静電気は、予備配線の容量と第1の保護回路の抵抗値で決定される時定数にしたがって、隣接する予備配線に放電されるが、静電気ができる限り速やかに放電され、高電圧がかかる時間をできるだけ短くすることが重要であり、この点からは、第1の保護回路の抵抗値ができる限り小さくなるように設定することが望ましい。

【0029】一方、液晶表示装置が表示上問題なく駆動し、信頼性上も問題を起こさないためには、信号線間や走査線間と同様に、予備配線間の抵抗値の下限が定まり、本発明では、かかる点を考慮し、第1の保護回路の抵抗値を上記範囲に設定されている。

【0030】本発明の請求項3記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項1または2の構成において、前記走査線の各隣合う線および/または前記信号線の各隣合う線を接続する第2の保護回路を備えるとともに、前記予備配線と前記走査線および/または前記予備配線と前記信号線とを接続する第3の保護回路を備えることを特徴としている。

【0031】上記の構成によれば、静電気を予備配線の配設本数分で受け入れる場合よりも、さらに、予備配線と信号線もしくは走査線との交差部における絶縁破壊を防止し、電位の突き上げによるTFT素子の特性劣化を防止することができる。

【0032】これは、一般に、予備配線がせいぜい10数本程度に限定されるのに対して、信号線や走査線はその表示容量に応じて数百から数千本あるため、これらをすべて上記第1～第3の保護回路で接続したとすると、同じ電荷量でも電圧としては数百分の一から数千分の一に低下するためである。

【0033】また、予備配線と信号線および/または走査線とを上記第3の保護回路で接続することにより、どこか一本の予備配線に静電気が印加されても時間とともに

7

に前記第2および第3の保護回路を通して、すべての信号線および／または走査線に流入するため、予備配線と信号線間および／または予備配線と走査線間に電圧はかからない。このため、静電気による不良の発生は確実に防止できる。

【0034】本発明の請求項4記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項3の構成において、前記第1～第3の保護回路は、互いに逆方向に並列接続された二つのダイオード構造の半導体素子を備えることを特徴としている。

【0035】上記の構成によれば、第1～第3の保護回路は、いわゆるダイオードリング構造を有して構成されており、第1の保護回路は、隣接する予備配線のいずれに静電気が印加された場合も他の予備配線に電荷を逃がすことができる。

【0036】また、第1～第3の保護回路をかかるとした場合、基板上にTFT素子を形成する工程を利用して上記ダイオード構造の半導体素子を形成することができ、工程数の増加を抑えることができる。

【0037】本発明の請求項5記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項4の構成において、前記第1の保護回路における、前記ダイオード構造の半導体素子のチャンネル幅をチャンネル長で除した比が、0.4以上3.0以下であることを特徴としている。

【0038】上記の構成によれば、前記ダイオード構造の半導体素子のチャンネル幅をチャンネル長で除した比が、電荷を他の予備配線へ逃がすことができるように、および、表示装置に使用された場合にも表示動作を支障なく行うことができるように、上記範囲に設定されており、従って、上記絶縁破壊の防止およびTFT素子の特性劣化の防止を確実に達成するとともに、表示装置に使用された場合にも装置の信頼性が確保される。

【0039】本発明の請求項6記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項5の構成において、前記第1の保護回路における、前記ダイオード構造の半導体素子のチャンネル幅が $200\mu\text{m}$ 以下であり、チャンネル長が $3\mu\text{m}$ 以上であることを特徴としている。

【0040】上記の構成によれば、前記ダイオード構造の半導体素子のチャンネル幅およびチャンネル長を上記範囲に設定することにより、電荷を他の予備配線へ逃がすことができ、および、表示装置に使用された場合にも表示動作を支障なく行うことができる。

【0041】本発明の請求項7記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項4の構成において、前記予備配線と前記走査線とを接続する前記第3の保護回路における、前記ダイオード構造の半導体素子のチャンネル幅をチャンネル長で除した比が、他の保護回路の比よりも低く設計されていることを特徴とし

(5)

8

ている。

【0042】上記の構成によれば、表示装置に使用された場合に、表示動作時に印加される電圧に応じて、上記第3の保護回路のチャンネル幅をチャンネル長で除した比を低く設定しており、これにより、装置の信頼性をさらに高めることができる。

【0043】本発明の請求項8記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項1の構成において、点灯検査後に切り落とされるべき領域に、前記走査線に接続された点灯検査用の端子および信号線に接続された点灯検査用の端子と、前記予備配線に接続された点灯検査用の端子と、前記予備配線の各隣合う線を接続する第4の保護回路とを備えることを特徴としている。

【0044】上記の構成によれば、上記第4の保護回路を備えているので、さらに、予備配線と信号線もしくは走査線との交差部における絶縁破壊を防止し、電位の突き上げによるTFT素子の特性劣化を防止することができる。

【0045】予備配線においては、点灯検査時に線欠陥が発見された場合、レーザによって信号線もしくは走査線と接続し、これが十分に低抵抗でつながったかどうかを電氣的に検査する必要があるため、複数本の予備配線同士や他の信号線・走査線とそのまま短絡しておくわけにはいかない。そのため、従来ではそれぞれの予備配線は電氣的に独立しており、これが信号線や走査線よりも静電気に対して弱くなる原因となっていた。

【0046】上記の構成では、第4の保護回路を備えているので、予備配線をさらに確実に静電気から守ることに對して有効である。また、第4の保護回路は、点灯検査後切り離されるべき領域に設けられており、表示動作時には該保護回路は切り離されているので、この抵抗値が $2\text{M}\Omega$ 以上でなければならないという制約からは解放される。即ち、第4の保護回路が満たすべき条件は、先に述べた線欠陥のレーザ修正時に接続箇所の抵抗が十分低いかどうかを判断できる程度に高抵抗であればよく、また信頼性も要求されないため、極めて大きなチャンネル幅をもたせることによって静電気を大きく逃がす構造としても問題を生じない。

【0047】なお、上記のように、液晶パネルでは、外部回路を実装する前に点灯検査を行うが、この際、簡易的に一部または全部の信号線に同一の信号を供給したり、走査線を複数本電氣的に束ねることによって、検査をより簡単にし、効率をあげることが一般的である。このため、点灯検査後に切り落とされるべき領域に、一部または全部の信号線に接続された点灯検査用の端子と、複数の走査線に接続された点灯検査用の端子とを配し、検査終了後にこれらを切り離して各信号線および各走査線をそれぞれ電氣的に独立させている。

【0048】本発明の請求項9記載のアクティブマトリ

9

クス基板は、上記の課題を解決するために、請求項8の構成において、前記第4の保護回路の抵抗値は、前記第1の保護回路の抵抗値よりも小さく、かつ前記予備配線1本分の抵抗値の20倍よりも大きいことを特徴としている。

【0049】上記の構成によれば、第4の保護回路の抵抗値を上記範囲に設定することで、電荷をさらに確実に他の予備配線へ逃がすことができ、また、線欠陥のレーザ修正時に接続箇所の抵抗が十分低いかどうかを判断することができる。

【0050】本発明の請求項10記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項8の構成において、点灯検査後に切り落とされるべき領域に、前記走査線の点灯検査用の各端子および／または前記信号線の点灯検査用の各端子を接続する第5の保護回路を備えるとともに、前記予備配線と前記走査線および／または前記予備配線と前記信号線とを接続する第6の保護回路を備えることを特徴としている。

【0051】上記の構成によれば、さらに第4および第5の保護回路を備えるので、静電気を予備配線の配設本数分で受け入れる場合よりも、さらに、予備配線と信号線もしくは走査線との交差部における絶縁破壊を防止し、電位の突き上げによるTFT素子の特性劣化を防止することができる。

【0052】これは、一般に、予備配線がせいぜい10数本程度に限定されるのに対して、信号線や走査線はその表示容量に応じて数百から数千本あるため、これらをすべて上記第1～第3の保護回路で接続したとすると、同じ電荷量でも電圧としては数百分の一から数千分の一に低下するためである。

【0053】また、走査線の点灯検査用の各端子が、複数の走査線を束ねるように該複数の走査線に接続され、信号線の点灯検査用の各端子が、複数の信号線を束ねるように該複数の信号線に接続される場合には、上記第5の保護回路によって、さらに絶縁破壊の防止等の効果を高めることができる。それは、各線間に保護回路を備えた構成では、各線間の保護回路の抵抗が直列に挿入されるのと同等の抵抗値で決まる時定数にしたがって電圧が緩和されるのに対して、上記の構成では、走査線や信号線は既に電氣的に束ねられているため、電荷の広がり、束ねられた配線間に存在する第5の保護回路の抵抗値にのみ依存するからである。そして、束ねられた配線全体に急速に電荷が広がる結果、静電気が印加された予備配線からの距離に伴う電位勾配が発生しないため、静電破壊等を確実に防止できる。

【0054】本発明の請求項11記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項10の構成において、前記第4～第6の保護回路は、互いに逆方向に並列接続された二つのダイオード構造の半導体素子を備えることを特徴としている。

(6)

10

【0055】上記の構成によれば、第4～第6の保護回路は、いわゆるダイオードリング構造を有して構成されており、第4の保護回路は、隣接する予備配線のいずれに静電気が印加された場合も他の予備配線に電荷を逃がすことができる。

【0056】また、第4～第6の保護回路をかかるとした場合、基板上にTFT素子を形成する工程を利用して上記ダイオード構造の半導体素子を形成することができ、工程数の増加を抑えることができる。

10 【0057】本発明の請求項12記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項11の構成において、前記第4の保護回路における、前記ダイオード構造の半導体素子のチャネル幅をチャネル長で除した比が、前記第1の保護回路の比よりも大きく、かつ3000以下であることを特徴としている。

【0058】上記の構成によれば、前記ダイオード構造の半導体素子のチャネル幅をチャネル長で除した比が、電荷を他の予備配線へ逃がすことができるように、および、線欠陥のレーザ修正時に接続箇所の抵抗が十分低い10 かどうかを判断できるように、上記範囲に設定されており、従って、上記絶縁破壊の防止およびTFT素子の特性劣化の防止を確実に達成するとともに、線欠陥のレーザ修正時に接続箇所の抵抗検査を円滑に行うことができる。

【0059】本発明の請求項13記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項11の構成において、前記第4の保護回路における、前記半導体素子のゲート絶縁膜は、ゲート電極の陽極酸化膜を含むことなく構成される一方、前記第1の保護回路に10 において、前記半導体素子のゲート絶縁膜は、ゲート電極の陽極酸化膜を含んで構成されることを特徴としている。

【0060】上記の構成によれば、前記第4の保護回路における前記半導体素子は、ゲート電極の陽極酸化膜を含まない構造を採用しており、これにより、抵抗値の減少を図ることができる。

【0061】第4の保護回路は、点灯検査後に切り落とされるものであるから、欠陥の発生に関して深刻度がより小さい。そこで、より小さな領域で効果の大きい保護10 回路を実現するために、上記のように、ゲートの陽極酸化のない構造をとって抵抗値の減少を図ることが有効である。

【0062】本発明の請求項14記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項1または8の構成において、前記第1の保護回路または第4の保護回路が遮光されていることを特徴としている。

【0063】上記の構成によれば、第1の保護回路または第4の保護回路が半導体層を備えて構成されている場合に、該半導体層に光があたることによって電子・正孔50 対が発生してリーク電流が増加し、設計したとおりの抵

11

抗値とならないことを防止でき、また、光のエネルギーによって半導体層の劣化が加速されることを防止できる。

【0064】本発明の請求項15記載のアクティブマトリクス基板の検査方法は、上記の課題を解決するために、請求項8記載のアクティブマトリクス基板の検査方法であって、前記第4の保護回路の抵抗値が、前記予備配線1本分の抵抗値の20倍よりも大きくなる範囲で、ループ抵抗を測定する抵抗測定装置の印加電圧を決定していることを特徴としている。

【0065】上記の方法によれば、線欠陥のレーザ修正時に接続箇所抵抗が十分低いかどうかを容易に判断できる。

【0066】線欠陥が発見された場合、予備配線は、レーザ接続後、十分低抵抗で接続されたかどうかを電気的に調べる必要がある。この際、隣合う2本の予備配線を用いて修正し、この2本の間のレーザ接続部を介したループ抵抗を測定することによって、上記のことを確認することが行われる。

【0067】このため、前記第4の保護回路を介した抵抗値は、このループ抵抗より十分大きくなければ正しい接続抵抗は求められず、従って、この2本の予備配線間に設置された第4の保護回路の抵抗値が、予備配線1本分の抵抗値の20倍よりも大きくなるように、抵抗測定装置の印加電圧を決定することによって、抵抗検査を円滑に行うことができる。

【0068】本発明の請求項16記載のアクティブマトリクス基板の検査方法は、上記の課題を解決するために、請求項15記載の方法において、修正を施した複数の予備配線間に1 μ A以下の電流を流し、その端子間電圧を測定することにより、ループ抵抗を測定することを特徴としている。

【0069】上記の方法によれば、予備配線間に1 μ A以下の電流を流し、その端子間電圧を測定する検査方法をとることによって、予備配線が低抵抗でレーザ接続されたかどうかの確認をさらに確実に行うことができる。

【0070】

【発明の実施の形態】〔実施形態1〕本発明の実施の一形態について図1～図7に基づいて説明すれば、以下の通りである。

【0071】図1は、本実施形態のアクティブマトリクス基板1の構成を概略的に示す平面図である。アクティブマトリクス基板1は、液晶表示装置の液晶パネルに用いられるものであり、液晶パネルは、アクティブマトリクス基板1と対向基板2とがシール材（図示せず）によって貼り合わされ、両基板1・2間に液晶（図示せず）が封入されて構成されている。

【0072】アクティブマトリクス基板1上には、複数の走査線3および複数の信号線4が互いに交差するように配置されており、さらに、信号線4の入力側および非入力側のそれぞれに複数の予備配線7が配設されてい

(7)

12

る。前記走査線3と信号線4とで区分された各領域が画素部5となり、画素部5がマトリクス状に配置されることにより有効表示領域6が構成される。

【0073】アクティブマトリクス基板1上には、各走査線3および各信号線4の端部において、走査線入力端子8および信号線入力端子9がそれぞれ形成されており、各予備配線7の端部において、端子13が形成されている。また、アクティブマトリクス基板1上の隣接する各走査線3および各信号線4の間に、隣合う走査線3同士および信号線4同士を接続するようにして保護回路10が形成されている。

【0074】本実施形態のアクティブマトリクス基板1は、さらに、複数の予備配線7の隣接する線間に保護回路12を備えると共に、予備配線7と走査線3との間および予備配線7と信号線4との間に保護回路11を備えるが、これについては後述する。

【0075】図2は、上記のアクティブマトリクス基板1における画素部5の平面図である。同図に示すように、アクティブマトリクス基板1における、走査線3および信号線4によって区分された画素部5の領域内には、TFT素子21、画素電極22、補助容量配線23、コンタクトホール24、および、透明導電膜25が形成されている。

【0076】走査線3は、TFT素子21のゲート電極に接続されている。信号線4は、TFT素子21のソース電極に接続されている。TFT素子21のドレイン電極には、画素電極22が接続され、さらに、透明導電膜25を介して画素部5の補助容量における一方の端子が接続されている。補助容量配線23は、補助容量の他方の端子として機能する。この補助容量配線23は、画素電極22に対向して配置されている対向電極（図示せず）と接続されている。画素電極22は、後述の層間絶縁膜32を貫くように形成されているコンタクトホール24を介して、TFT素子21のドレイン電極と接続されている。

【0077】TFT素子21は、図3に示すような構成であり、次のように形成されている。ガラス等からなる透明の絶縁体基板31の上にゲート電極26が形成され、これを覆うようにゲート絶縁膜27が形成されている。ゲート電極26の上部に、ゲート絶縁膜27を介して半導体薄膜28が形成されている。この半導体薄膜28のソース部に n^+ -シリコン層よりなるソース電極29aが形成され、ドレイン部に同じく n^+ -シリコン層よりなるドレイン電極29bが形成されている。

【0078】上記ソース電極29aに対してソース配線となる金属層30aが接続されており、上記ドレイン電極29bに対してドレイン配線となる金属層30bが接続されている。このTFT素子21の表面は、層間絶縁膜32によって覆われている。さらに、層間絶縁膜32の上に画素電極22が形成されている。画素電極22

13

は、コンタクトホール24を介してTFT素子21のドレイン側の金属層30bと接続されている。

【0079】保護回路10～12は、例えば保護回路12の構成を示す図4からも見てとれるように、ダイオード接続された二つのスイッチング素子（半導体素子）12a・12bが、互いに逆方向に、かつ、並列に接続されてっており、ダイオードリング構造を有している。

【0080】上記のように、保護回路10は、隣接する各走査線3間および隣接する各信号線4間に設けられ、保護回路12は、隣接する各予備配線7間に設けられ、保護回路11は、予備配線7と走査線3との間および予備配線7と信号線4との間に設けられる。しかし、保護回路10～12は、同様の構造を有するため、以下では、図4～図6を参照して、予備配線7のうちの隣接する予備配線7a・7bの間に設けられる保護回路12の構成を例に挙げて、保護回路10～12の構成について説明する。

【0081】保護回路12のスイッチング素子12aは、ソース部とゲート部とが短絡しており、両部は、スイッチング素子12bのドレイン部ならびに予備配線7aと電気的に接続されている。スイッチング素子12aのドレイン部は、予備配線7bと電気的に接続され、かつ、スイッチング素子12bのソース部およびゲート部に接続されている。

【0082】一方、スイッチング素子12bは、ソース部とゲート部とが短絡しており、両部は、スイッチング素子12aのドレイン部ならびに予備配線7bと電気的に接続されている。スイッチング素子12bのドレイン部は、予備配線7aと電気的に接続され、かつ、スイッチング素子12aのソース部およびゲート部に接続されている。

【0083】上記スイッチング素子12aは、図5に示すように、予備配線7aと一体に形成された金属膜15a上に半導体薄膜17等を設けて構成されている。この半導体薄膜17のソース部にソース配線となる金属層19aが接続され、ドレイン部にドレイン配線となる金属層19bが接続されている。金属層19bは、予備配線7bと一体に形成された金属膜15bに接続されている。

【0084】一方、スイッチング素子12bは、予備配線7bと一体に形成された金属膜15b上に半導体薄膜17等を設けて構成されている。この半導体薄膜17のソース部にソース配線となる金属層19aが接続され、ドレイン部にドレイン配線となる金属層19bが接続されている。金属層19bは、金属膜15aに接続されている。

【0085】スイッチング素子12a・12bでは、図6に示すように、絶縁性基板31上に金属膜15a・15bが互いに分離して形成され、これを覆うようにゲート絶縁膜16が形成されている。上記金属膜15a・1

(8)

14

5bのうちゲート電極となる膜の上部に、ゲート絶縁膜16を介して半導体薄膜17が形成され、この半導体薄膜17のソース部に n^+ -シリコン層からなるソース電極18aが形成され、ドレイン部に同じく n^+ -シリコン層からなるドレイン電極18bが形成されている。

【0086】上記ソース電極18aに対してソース配線となる金属層19aが接続されており、上記ドレイン電極18bに対してドレイン配線となる金属層19bが接続されている。そしてこれらスイッチング素子12a・12bを覆う形で層間絶縁膜32が形成されている。

【0087】上記の保護回路12では、予備配線7aが静電気などによって帯電した場合には、その電荷はスイッチング素子12aを介して予備配線7bに逃がされる。予備配線7bに電荷が発生した場合には、その電荷はスイッチング素子12bを介して予備配線7aに逃がされる。従って、いずれかの予備配線7に静電気による高電圧が印加されたときも、保護回路12によって隣接する他の予備配線7へ電荷が流入し、特定の予備配線7に電界が集中するのを避けることができる。

【0088】換言すれば、予備配線7に生ずる一定量の電荷に対し、これを受け入れる側の静電容量が保護回路12によって接続された本数分だけ増加するため、この電荷による電圧が実効的に小さくなる。

【0089】従って、予備配線7の端子13等が静電気を帯びた物体に触れ、予備配線7に静電気による高電圧が印加された場合、あるいは、パネル自体が静電気を帯びていて、これが触れた物体に対して放電され、予備配線7に高電圧が加わる場合においても、保護回路12を設けることにより、予備配線7と信号線4または走査線3との交差部における高電圧による絶縁破壊を防止でき、さらに、電位の突き上げによるTFT素子21の特性劣化を防止できる。

【0090】さらに、アクティブマトリクス基板1では、隣接する予備配線7間に保護回路12が設けられているのみならず、予備配線7と走査線3との間および予備配線7と信号線4との間に保護回路11が設けられている。

【0091】これによって、静電気を予備配線7の配設本数分で受け入れる場合よりも、格段に上記絶縁破壊等の防止の効果が大きくなる。これは、一般に、予備配線7がせいぜい10数本程度に限定されるのに対して、信号線4や走査線3は、その表示領域に応じて数百から数千本あるため、これらをすべて保護回路10～12で接続したとすると、同じ電荷量でも電圧としては数百分の一から数千分の一に低下するためである。

【0092】予備配線7と信号線および予備配線7と走査線3を保護回路11で接続することにより、どこか一本の予備配線7に静電気が印加されても、時間とともに保護回路11等を通じて、すべての信号線4または走査線3に電荷が流入するため、予備配線7と信号線4間お

15

よび予備配線7と走査線3間に電圧はかからない。このため、静電気による不良の発生を防止できる。

【0093】保護回路12は、端子13近傍における隣接する予備配線7の間に設けられているが、隣接する端子13の間に設けられてもよい。保護回路10・11についても同様である。

【0094】次に、上記アクティブマトリクス基板1の製造方法、さらにこれを用いた液晶表示装置の製造方法について説明する。

【0095】絶縁性基板31の上に、スパッタ法などにより、金属層を所定のパターンに形成する。この金属層は、走査線3、予備配線7、金属膜15a・15b、およびゲート電極26となるものである。次いで、ゲート絶縁膜16・27となる絶縁膜を形成する。その上に、(1)半導体薄膜17・28となる半導体層、(2)ソース電極18a・29aおよびドレイン電極18b・29bとなる n^+ -シリコン層、(3)信号線4、金属層19a・30aおよび金属層19b・30bとなる金属層を、スパッタ法などにより、順次所定のパターンに形成する。

【0096】さらに、信号線4等の上に、層間絶縁膜32として、感光性のアクリル樹脂をスピン塗布法によって3 μ mの膜厚で形成する。これを所定のパターンに従って露光し、アルカリ性の溶液によって処理することによって、層間絶縁膜32を貫通するコンタクトホール24を形成した。

【0097】層間絶縁膜32の際、信号線4および走査線3の端子8・9上は、TABを介して外部回路と電気的接触がとれるように、層間絶縁膜32が形成されないようにするが、保護回路10~12の上層には、層間絶縁膜32が配置されるようにしておく。これは、保護回路10~12上のソースドレイン間のリークを防ぐためであり、また、外部回路等が実装されて表示装置が完成した後に、配線上の何らかの物質の付着などによってダイオード間に不要な電圧が印加されて、表示に悪影響を与えるのを防ぐためである。

【0098】さらに、画素電極22となる透明導電膜をスパッタ法によって形成し、パターンニングした。この画素電極22は、層間絶縁膜32を貫くコンタクトホール24を介し、金属層30bを通じて、TFT素子21のドレイン電極29bと接続される。

【0099】このようにして完成したアクティブマトリクス基板1の有効表示領域6に、ポリイミド系の配向膜を成膜し、ラビングなどの処理により、配向機能を付加する。対向基板2においても、ITOなどの透明な共通電極を成膜した後、有効表示領域6に当たる部分に配向処理を施しておく。

【0100】そして、パネルの周囲部において、液晶注入の部分だけあけて、パネルを囲むように印刷方式などによりシール材を塗布し、さらに、アクティブマトリ

(9)

16

クス基板1上の対向電極用信号入力端子の上に、導電性物質を付着させた後、液晶層のセル厚を一定にするためのスペーサを散布し、対向基板2と貼り合わせ、熱を加えてシール材を硬化させる。

【0101】その後、液晶注入口から液晶を注入し、封止材により液晶注入口を塞ぎ、液晶表示装置の液晶パネル部分が完成し、これにドライバや制御回路、バックライトなどの実装部材を取り付けることにより、液晶表示装置が完成する。

【0102】ところで、本実施形態のアクティブマトリクス基板1では、保護回路12を構成するスイッチング素子12a・12bのチャネル長 L およびチャネル幅 W (図5参照)を、 $L=5\mu\text{m}$ 、 $W=50\mu\text{m}$ としているが、これは次の理由による。なお、図5に示すように、金属層19a・19bの間隔がチャネル長 L に相当し、半導体薄膜17の幅がチャネル幅 W に相当する。

【0103】上記のチャネル長 L およびチャネル幅 W の値を決めるために、従来の信号線間および走査線間のみ保護回路が設置された液晶表示装置において、その予備配線を用いて信号線の修正を行った。

【0104】まず、信号線の入力端子に程近い部分において、レーザを用いて信号線切断を行った。そして、通常、検査によって線欠陥が発見されたときと同様の手順、すなわち、信号線の入力側および非入力側にそれぞれ設けられた予備配線と、断線した信号線との交差部をレーザによって溶融接続した。入力側と非入力側の予備配線は、それぞれ外部回路によって導通しているため、信号線端子から架せられた信号は、断線箇所を遠くは接続された予備配線を介してパネルの反対側から供給されることになる。

【0105】そこで、該予備配線の入力端子を抵抗を介して接地し、この信号系の電流リークに対するマージンを確認した。その結果、リーク電流は、1M Ω 以上の場合には表示上何ら問題を生じず、また実用に耐えるべき5万時間に相当する信頼性試験においても問題ないが、これ以下の場合には、該修正ラインで視認されるものがあることが確認された。

【0106】保護回路12は、一本の配線から隣接する両側の配線との間で接続されているため、片方の抵抗値は2M Ω 以上である必要がある。そこで、保護回路12の設計を以下のように行う。

【0107】保護回路12では、図4に示すように、TFTのゲート電極とソース電極を短絡させることによって、このゲート/ソース側からドレイン方向に順方向をもつダイオードとしている。このダイオードを双方向に並列接続したものが保護回路12の構成単位であり、予備配線7a・7bのどちらが高電位になっても、いずれかのダイオードが順方向となるため、電荷を他方に逃がすことができる。

【0108】図7は、かかるダイオードリング構造を有

(10)

17

する保護回路の電気特性を示すグラフであり、隣接する配線間の電圧に対する電流をリニアスケールおよびログスケールでそれぞれ表示したものである。曲線Pは、左の軸のリニアスケールに対応しており、保護回路の電流 I_{ds} -電圧 V_{ds} 特性を $-5\mu A \sim 5\mu A$ のリニアスケールで表したものである。曲線Qは、右の軸のログスケールに対応しており、保護回路の電流 I_{ds} -電圧 V_{ds} 特性を $10^{-14} A \sim 10^{-5} A$ のログスケールで表したものである。このように、曲線Qによるログ表示を行うことで、リニア表示では0Aの軸に重なって見える領域($-5V < V_{ds} < 5V$)の電流値を読み取ることができる。但し、ログ表示では、0及びマイナスの電圧値に対する電流値は表示されていない。

【0109】図7に示すように、保護回路は、印加電圧が大きくなるにつれて抵抗値が飛躍的に小さくなる非線形素子であって正負対称であることがわかる。

【0110】ただし、図7に示す特性は、 $W=15\mu m$ 、 $L=5\mu m$ 、ゲート絶縁膜として SiN_x （比誘電率6.9） 3440\AA 、ゲート配線を形成するTaの陽極酸化膜（比誘電率24） 1500\AA として作成したものの実測値である。この特性は、アモルファスシリコンの電荷の移動度を $0.35\text{cm}^2/Vs$ 、しきい値電圧を1Vとすると、MOSトランジスタの飽和領域における一般的な電流近似式である以下の式に $V_{ds}10V$ 以上の領域でほぼ一致する。

【0111】

$$I_d = 1/2 \mu_c (W/L) (V_g - V_{th})^2$$

上記の式によると、例えば、通常、予備配線7間の最大電圧値である4Vにおいて、上記のとおり $2M\Omega$ 以上の抵抗値を満たすためには、 W/L は80以下であればよいことがわかる。ところが、実際の設計においては、以下の理由により、 W/L は、もっと小さくしておく必要がある。

【0112】つまり、アモルファスシリコンの場合、単結晶Siなどとは異なり、膜中の欠陥密度が多く、高電界印加時にはドリフト効果が支配的になって比較的理論式に一致しやすいものの、弱電界下では拡散やトラップ準位による捕捉、漏電流の影響が無視できなくなる。実際、図7に示す特性では、4Vにおける抵抗値は $100M\Omega$ であり、これと W/L の関係から計算すると、 $2M\Omega$ 以上を満たすための W/L は150以下であればよく、計算値とは大きく異なることがわかる。この数値差は、生産ばらつきによってプラスである場合もマイナスである場合もあり、この生産品中のばらつきを減じるべく、半導体層中の欠陥密度を厳密に制御することは不可能に近い。

【0113】さらに、絶縁膜の膜厚や誘電率のばらつき、しきい値や移動度のばらつきもあることを考慮すると、保護回路12の設計は理論値から導出するよりも実測値から帰納的に決定することが望ましい。

18

【0114】従って、実際の生産品のなかから随時抜き取って特性を測った結果、 $W/L=3$ として設計したダイオードでは、4V印加時に $20nA \sim 200nA$ 、即ち、抵抗値としては、 $20M\Omega \sim 200M\Omega$ の範囲でばらつくことがわかった。つまり、工程のばらつきによらず、 $2M\Omega$ 以上の抵抗値をみたすためには、 W/L を30以下として設計すればよいことがわかった。

【0115】ところで、上記の構造ではこの通り設計すればよいが、構造が異なれば保護回路12の設計も異なる値にしなければならないことは当然である。例えば、ゲートの材料変更やプロセスの変更によって陽極酸化をしない構造とした場合には、 SiN_x の膜厚をこのままとすれば、ゲート絶縁膜の静電容量が増加して電流値が増加するため、それに伴って、 W/L を0.89倍の27以下にしなければならない。これは、例えば走査線側と信号線側にそれぞれ保護回路12を設け、走査線側は陽極酸化が行われるが、信号線側は構造上陽極酸化が困難な場合などには、注意が必要である。

【0116】また、絶縁膜の容量や膜厚のみならず、半導体層の移動度やダイオードのしきい値が異なる場合にも W/L の設計を変えておく必要があるのは当然である。

【0117】例えば、アモルファスシリコンを用いず、nチャネルの多結晶シリコンを半導体層として用いた場合には移動度が約500倍であるため、保護回路12の W/L はアモルファスの場合の $1/500$ 程度に設計せねばならず、プロジェクション用のライトバルブとして用いられる場合のある単結晶シリコンの場合は、さらに、保護回路12はアモルファスの場合の約 $1/2000$ となる。

【0118】後者の場合、 W/L は0.015となるが、アモルファスの場合のようにチャネル長 L を $5\mu m$ に据え置いてチャネル幅 W を変化させて W/L を決定するのはプロセス上困難である。従って、こういう場合は、例えば W を $3\mu m$ として、 L を $200\mu m$ とするなどの方法を用いるとよい。ダイオードの電流値に関与するのは W と L の比であるため、 W および L のどちらを調整して上記のような W/L 比を実現しても本質的に変わらないからである。

【0119】従って、例えば単結晶シリコンの場合のように、 L を $200\mu m$ としなければならない場合は、端子間の隙間が不十分であってチャネルを蛇行したような形で形成せざるを得ない場合があるが、一般的にはプロセス上もっとも不良を発生しにくいような構造とすることを第一として、決められた W/L 比をみたすように W および L をそれぞれ決定すればよい。

【0120】例えば、アモルファスシリコンを用いた本実施形態の場合では、上記のように $L=5\mu m$ 、 $W=50\mu m$ としたが、チャネル長 L を決定すべき金属膜間のギャップが $5\mu m$ では短絡欠陥が生じ易い等の理由があ

(11)

19

る場合には、例えば $L=100\mu\text{m}$ 、 $W=100\mu\text{m}$ としても効果は同じである。

【0121】ただし、液晶表示装置の生産工程では、一般的に、 $5\mu\text{m}$ のギャップ形成で問題を生じないように工程管理されており、逆に W が大きくなりすぎるとダイオードの巨大化によってかえって不良率が大きくなるため、 W は $200\mu\text{m}$ 以下にしておくことが望ましい。これは、次のような計算による。

【0122】現行の生産パネルを調べると、13型級のXGAパネルではギャップが $5\mu\text{m}$ 程度の画素-信号線間の総長は 1400mm 程度となるが、このギャップにおける導電性異物やパターン残りに起因する点欠陥の発生数はパネルあたり最大10個程度である。これはすなわち、通常の生産プロセスとして良品レベルのパネルを生産すると、チャンネル幅 140mm につき1個の不良が発生することをあらわしている。

【0123】ところで、この同じパネルの信号線間および走査線間に、保護回路として $L=5\mu\text{m}$ 、 $W=200\mu\text{m}$ のダイオードを、双方向2個を1組としてそれぞれ配置するものとし、予備配線間に配置する保護回路も、静電気がどのラインに印加されても同等に他ラインに電荷が逃げることを、保護回路を異ならせることによる静電気印加時のライン間の帯電量の偏りを防ぐことを実現するためには、隣接する信号線間および隣接する走査線間に設けられたダイオードと同じものとした方が望ましいことから、チャンネル幅 W を $200\mu\text{m}$ としておく。

【0124】すると、これらダイオードにおけるチャンネル幅 W の総長は、 $200\mu\text{m} \times (1024 \times 3\text{本} + 768\text{本} + \text{予備配線本数}) \times 2 = (1536 + \alpha)\text{mm}$ となり、パネル当たり約0.01個の線欠陥を保護回路で発生させることになる。つまり、生産パネルの良品率低下は約1%となる。これは、生産機種の設計における一つの指標となり、保護回路12のダイオード構成は、良品率低下が1%を超えないようにするため、チャンネル幅 W を $200\mu\text{m}$ 以下とすることが望ましいということの根拠となる。

【0125】もちろん、工程内のダストの状況や生産技術の向上によって不良発生率が低下したときや、パネルの機種によっては信号線や走査線の本数が変わったとき、設定良品率とコスト構成、静電気に対する抗性などさまざまな要因を加味して、ダイオードにおける不良発生リスクより静電気による破壊を防ぐ方を重視した方が得策であると判断した場合には、抵抗値が $2\text{M}\Omega$ を下回らない範囲で W を大きくとつてもかまわない。

【0126】また、保護回路12上の欠陥が発生したときに、随時レーザなどによって保護回路12と予備配線7とを切り離せるように、例えばレーザ切断すべき場所を指定してその部分のパターンをくびらせておくことは、望ましい。

【0127】逆に、チャンネル長 L の方は、工程での不良

20

発生という観点からすると、大きくすることはパターンの蛇行など特殊な形状を除いては問題ないが、小さくする方は直接的に不良発生率の増加を招くため望ましくない。具体的には、ガラス基板上に通常の液晶パネルの生産フローで作成する場合には、 L は少なくとも $3\mu\text{m}$ 以上なければならない。

【0128】このように、保護回路12の抵抗値の下限値は決定したが、上限値の決定は困難である。それは、静電不良を防ぐためには保護回路12の抵抗値は低ければ低い程よく、最適値というのは存在しないからである。その意味では、上記の下限値に設定するのが最適といえる。

【0129】静電気印加時の保護回路12の抵抗値については、一つには静電気の印加される条件は実にさまざまであり、静電破壊メカニズムを解析して対策を講じる上で印加される電圧値をある値に特定することはできない一方で、保護回路12を構成するダイオードは電圧に応じて抵抗値が変化する非線型素子であること、もう一つには静電気は保護回路12のダイオードの半導体の電气的特性を変化させるに足る高電圧であり、この高電圧が印加されるトータルの時間も静電気が発生している環境によって総電荷量がさまざまに異なり、しかも高電界印加時にはダイオードの特性は時間的に時々刻々変化する、そのダイオードの劣化の度合いも簡単に見積ることができないことから、静電気印加時の抵抗値を規定することはほとんど不可能である。

【0130】そこで、既に示したダイオードの一般的な式が静電気印加時にも成立したと仮定して、ある電圧に特化してダイオードの形状を規定せざるをえない。すると、 100V 印加時に $10\text{M}\Omega$ となるダイオードは $W/L=0.4$ であり、従ってこのダイオードを電圧 4V のときの抵抗値として定義すると、ダイオードの構成としての規定は $2\text{M}\Omega$ 以上 $400\text{M}\Omega$ 以下となるような構成ということになる。

【0131】なお、上記の 100V 印加時の $10\text{M}\Omega$ という値は実験的に求めたもので、 100pF 以上のコンデンサに 50V 以上の何種類かの電圧を充電し、隣接線間に高抵抗をつないだ予備配線に対して放電を行ったときに、 $10\text{M}\Omega$ 以上の抵抗でつないだものに関しては全く静電破壊に対する効果がなかったということに由来している。

【0132】もちろん、この抵抗値が小さければ小さいほど静電破壊が発生する確率は減るので $10\text{M}\Omega$ 以下であれば何 Ω でもよいということではなく、逆に例えば 30V という電圧が徐々にでも放電すればよいという場合（液晶に直流電圧が長時間印加されて信頼性を損ねるのを防ぐことを目的とする場合など）には、 $10\text{M}\Omega$ 以下にこだわる必要はなく、もっと大きな抵抗であっても効果が認められる場合もある。

【0133】また、本実施形態では、ダイオードを用い

(12)

21

て保護回路12を形成しているため、4V印加時に2MΩ以上400MΩ以下という規定であるが、これを例えば単層のn+層のような線形素子で形成する場合には、電圧によらず2MΩ以上10MΩ以下ということにもなりうるものであり、非線形素子であっても電圧電流特性の如何によつては、同じ2MΩ以上であっても4V印加時の抵抗値の上限はこれと異なる値となる場合もある。

【0134】本実施形態のアクティブマトリクス基板1では、予備配線7間の保護回路12のW/Lは、上記のように、W/L=50/5に設定されている。また、信号線4間および走査線3間の保護回路10ではW/L=50/5とし、予備配線7と走査線3との間の保護回路11ではW/L=15/5としている。これらを異なる値にしたのは、通常駆動時に保護回路10~12に加わる電圧が異なるためで、保護回路10・12には通常最大4V、保護回路11には通常最大14Vの電圧が加わるためである。ここで、14V印加時に2MΩとなるためのW/Lの満たすべき条件は、計算上は14以下であるため、他の部分と同じでもよかったが、ダイオードの万が一の特性変化に備えてマージンを大きくすることを狙ったためである。

【0135】本実施形態のアクティブマトリクス基板1を用いて液晶表示装置を試作して評価したところ、点灯確認において問題は発見されず、信頼性上も問題はなかった。

【0136】なお、液晶表示装置の製造では、保護回路10~12には光があたらないように実装部材を配置した。これは、保護回路10~12を構成する半導体層に光があたることによって電子・正孔対が発生してリーク電流が増加し、設計したとおりの抵抗値とならないことを防ぐと同時に、光のエネルギーによって半導体層の劣化が加速されることを防ぐためである。

【0137】走査線3間や信号線4間のみならず、予備配線4間にも保護回路12を設けたアクティブマトリクス基板1を用いて作製した液晶表示装置は静電気に強く、同様の工程を経て作製した従来の液晶表示装置の静電気による不良率が2%であったのに対し、アクティブマトリクス基板1を用いた液晶表示装置では0.3%にとどまった。

【0138】〔実施形態2〕本発明の他の実施形態について図8に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施形態1の図面に示した部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0139】本実施形態のアクティブマトリクス基板41は、図8に示すように、点灯検査終了後にアクティブマトリクス基板41が分断線42に沿って切断されることで、アクティブマトリクス基板41から取り除かれる領域43を備えている。そのほかは、アクティブマトリクス基板1と同様の構成である。

22

【0140】また、アクティブマトリクス基板41では、外部回路を実装すべき端子8・9・13よりも外側の領域43に、それぞれ点灯検査用の複数の端子44・45・46が設けられている。各端子44には、点灯検査をより容易に行うために、複数本の走査線3が短絡配線により電氣的に束ねられ接続されており、端子45も、点灯検査をより容易に行うために、例えば赤(R)・緑(G)・青(B)の各色に対応した複数の端子45R・45G・45Bに分かれている。各端子45R・45G・45Bには、それぞれR・G・B用の複数本の信号線4が短絡配線により電氣的に束ねられ接続されている。一方、各端子46は、それぞれ対応する予備配線7の端子13に接続されている。

【0141】また、アクティブマトリクス基板41では、アクティブマトリクス基板1と同様に、保護回路10~12を備えるとともに、外側の領域43において、保護回路47・48・49を備えている。保護回路47は、領域43上の隣接する各端子44・45間に、走査線3同士および信号線4同士を接続するように設けられている。保護回路49は、領域43上の隣接する各端子46間に、隣接する予備配線7同士を接続するように設けられている。保護回路48は、領域43上の端子44と端子46との間および端子45と端子46との間に、予備配線7と走査線3および予備配線7と信号線4を接続するように設けられている。

【0142】ここで、予備配線7間に設けた保護回路49は、上記のとおり点灯検査終了後に切り離されることになるので、その抵抗値を2MΩ以上にしなければならないという制約から解放されている。従って、保護回路49は、より静電気に対して耐性が高くなるように、チャネル幅を広くすることができる。保護回路48についても同様であり、アクティブマトリクス基板41では、保護回路48・49のチャネル幅およびチャネル長を、それぞれ2500μmおよび5μmとした。

【0143】上記のアクティブマトリクス基板41を用いて液晶パネルを作製し、以下のように点灯検査を行った。

【0144】上記のように、信号線4の端子9の外側には短絡配線があり、赤・緑・青の各々に相当する信号線4がこれによって電氣的に束ねられている。その束ねられた配線に接続された各端子45R・45G・45Bに対し、それぞれ信号を入力して点灯検査時に各色の表示ができるようになっている。

【0145】ここで、ある特定の信号線4や走査線3に不良が発見されたときには、前述のように、レーザにより2本の予備配線7を用いて断線しているラインとの接続を行って修正を施す。その後、十分低抵抗で接続されたかどうかを電氣的に調べる必要があるため、この2本の予備配線7の間のレーザ接続部を介したループ抵抗を測定する。このため、保護回路48・49を介した抵抗

(13)

23

値は、このループ抵抗より十分大きくなければ正しい接続抵抗は求められない。

【0146】一般に、レーザ接続部分の抵抗は、接続成功の場合には予備配線1本当たりの抵抗値と比べて二桁以上小さく無視できるため、ループ抵抗としては予備配線2本分直列の抵抗値と比べて同等であれば接続の成功と判断することができる。そのため、保護回路48・49の抵抗はこの予備配線2本分の抵抗値より一桁大きければ十分であり、これは予備配線1本当たりの抵抗値の20倍にあたる。そこで、本実施形態では、これを実現するために保護回路48・49を形成するダイオードのチャンネル幅およびチャンネル長を、それぞれ2500 μ mおよび5 μ mとした。

【0147】もちろん、かかる保護回路48・49をつけたままパネル実装すると、予備配線間7の抵抗値は、4V印加時に最低の場合ではせいぜい120k Ω 程度であるため、表示上不具合を生ずるが、前述のとおり、検査後には入力保護回路48・49は、信号線4や走査線3の簡易検査信号入力用の共通線とともに、ガラスごとに取り除かれるため、実装時のパネル状態は実施形態1と全く同じであり、何ら問題を生じない。

【0148】上記のように、アクティブマトリクス基板41では、保護回路48・49のW/Lの値は、W/L=500に設定されているが、この値の上限値は、3000である。これは次のようにして導き出した。

【0149】従来の保護回路のW/Lは3であり、その静特性は図7に示すとおりであるが、このグラフの横軸に相当する電圧が0Vの近傍においては、流れる電流はサブスレッショルド電流と呼ばれる極めて微弱な信号であり、半導体層の結晶状態や欠陥密度などに強く左右され、一般にこの領域の適当な近似式を得ることは困難である。

【0150】このため、ダイオードの0V近傍の電流をより詳細に調べるために、このダイオードのもとになるトランジスタの静特性の過去に測定したデータの蓄積をあらひ直したところ、ゲートしきい値電圧の大小に応じて、0V近傍におけるサブスレッショルド電流は、1pAから最大でもせいぜい100pAまでの間であることがわかった。

【0151】一方、予備配線7の抵抗は、修正を施したラインと正常なラインとの間のインピーダンスを最小限に抑える目的でせいぜい2k Ω 以下に設計されているため、保護回路48・49に求められる抵抗は、40k Ω 以上となる。

【0152】ここで、保護回路48・49の抵抗が40k Ω となるためのW/Lを求めてみると、これを測定するときのテスターの定電流源から供給される電流値が1 μ Aとすると、適正に修正されたときのループ抵抗は4k Ω 前後であることから、端子間に印加される電圧はせいぜい4mV以下であり、修正箇所が全く接続されてい

24

ないときは、印加電圧は保護回路48・49の抵抗値と定電流源（この場合は1 μ A）の積で規定される。すなわち、ループ抵抗を測定できる最低抵抗値である40k Ω となるようにダイオードを設計していたとすると、印加電圧は40mVであることがわかる。

【0153】上記のW/L=3のダイオードのサブスレッショルド電流が最大の100pAであったとして、40mV印加時に1桁の電流増加があるとすると、1nAの電流値となり抵抗は40M Ω であることから、ここから抵抗値が40k Ω となるダイオードのW/Lを逆算すると、その値は1000倍の3000以下である必要があることがわかる。

【0154】上述のように、保護回路48・49のW/Lを3000以下に設定すべきとの結論が得られたが、実施形態1の説明でも述べたとおり、ダイオードの構造、絶縁膜の膜厚、半導体層の電気特性などが変わった場合には、保護回路48・49の設計を変更する必要があることは当然である。例えば、現在開発が進んでいる低温多結晶シリコンを用いてダイオードを構成する場合などはサブスレッショルド領域の漏れ電流は場合によっては2桁くらい大きいこともあるので注意を要する。

【0155】このように、保護回路48・49の抵抗値の下限は決定されたが、上限はというと実施形態1で述べたのと同様規定は難しく、抵抗値を大きくすればするだけ保護回路48・49の効果が薄れるばかりである。ただし、本実施形態の構造は、実施形態1の効果をより大きくすることが目的のひとつであるため、検査後切り離されない部分の保護回路11・12の抵抗値より小さいことが望ましいのは当然である。

【0156】また、ゲートの陽極酸化を省いた場合の効果については実施形態1でも述べたが、本実施形態では、かりにSiNxの欠陥密度が大きくても、検査後切断される領域43の保護回路47～49上の欠陥については、商品として出荷される際には表示装置上に残っていないことから、欠陥の発生に関しての深刻度がより小さい。そこで、より小さな領域で効果の大きい保護回路を実現するために、検査後切断される領域43の保護回路47～49のみゲートの陽極酸化のない構造をとって抵抗値の減少を図ることが有効である。

【0157】ところで、これまでの計算からも明らかなように、ダイオードは非線形素子であるため、適当な抵抗値を得るためには、点灯検査における測定時の印加電圧に注意を払うことが必要である。

【0158】一般に、市販され使用されている微少電流測定用のテスターは、素子に定電流を流し、その両端の電圧を測定することによって抵抗値を求める方式をとることが多いため、本実施形態でもこの定電流に着目して印加電圧の制御を行った。W/L=3000のダイオードにおいては、前述のように1 μ A以下の電流とすることによって、40mV以下の電圧となり、抵抗値40k

(14)

25

Ω 以上を得ることができるため、正しい予備配線接続抵抗を求めることができる。本実施形態では W/L は500であるが、同様に $1\mu A$ において測定を行ったところ、予備配線修正を行っていないループについては $1M\Omega$ 以上、行ったループについては $3k\Omega\sim 4k\Omega$ という、良好な測定結果を得た。

【0159】測定電流は、 $1\mu A$ に限らず、テスターの測定レンジにあわせて $100nA$ 、 $10nA$ など $1\mu A$ 以下の任意の電流値を選択すればよい。ただし、注意すべきこととしては、半導体素子であるダイオードは、半導体層に入射する光に反応して、電流が劇的に増加する特性があるため、抵抗測定に際しては外部からの光が保護回路48・49に当たらないようにしなければならない。

【0160】また、本実施形態では、この外部入射光に対するマージンを得るためと、保護回路48・49の設置面積の問題、およびチャネル幅を大きくしすぎたときの歩留り低下に対する懸念から、 W/L を500としたが、3000を超えない範囲で W/L を大きくした方が静電気に対して有効であることは言うまでもない。

【0161】また、保護回路48・49上の欠陥によってパネルの検査自体ができなくなることを防ぐために、保護回路48・49は、任意の時点でレーザなどによって切り離すことができるように、予備配線7本体から離れた位置に設置することや、保護回路48・49と予備配線7本体との間に、切り離しやすくするための、例えばくびれ部を設けるなどの設計を予め講じておくことが望ましい。このことは、保護回路11・12にも当てはまることである。

【0162】上記のアクティブマトリクス基板41を用いて生産された液晶パネルは、生産ラインおよび検査ラインの信号線4および走査線3の短絡線切断前における、静電気絡みの不良発生率が従来品より大幅に減少し、同様のラインを経て生産された従来の液晶パネルの少なくとも $1/100$ 以下の不良率に留まった。

【0163】また、パネル全体を帯電させた後、予備配線7を接地する静電破壊試験においても、従来品が、 $1kV$ では予備配線7と信号線4との交差部で絶縁破壊が生じていたのに対し、本実施形態では、 $5kV$ でも絶縁破壊は発生しなかった。

【0164】

【発明の効果】本発明の請求項1記載のアクティブマトリクス基板は、以上のように、予備配線への不所望の高電圧印加から基板を保護するため、前記予備配線の各隣合う線を接続する第1の保護回路を備える構成である。

【0165】それゆえ、予備配線と信号線もしくは走査線との交差部における絶縁破壊を防止し、さらに、電位の突き上げによるTFT素子の特性劣化を防止できるという効果を奏する。

【0166】本発明の請求項2記載のアクティブマトリ

26

クス基板は、以上のように、請求項1の構成において、前記第1の保護回路の抵抗値は、 $2M\Omega$ 以上 $400M\Omega$ 以下である構成である。

【0167】それゆえ、絶縁破壊の防止およびTFT素子の特性劣化の防止を確実に達成するとともに、表示装置に使用された場合にも装置の信頼性を確保できる。

【0168】本発明の請求項3記載のアクティブマトリクス基板は、以上のように、請求項1または2の構成において、前記走査線の各隣合う線および／または前記信号線の各隣合う線を接続する第2の保護回路を備えるとともに、前記予備配線と前記走査線および／または前記予備配線と前記信号線とを接続する第3の保護回路を備える構成である。

【0169】それゆえ、静電気を予備配線の配設本数分で受け入れる場合よりも、さらに、予備配線と信号線もしくは走査線との交差部における絶縁破壊を防止し、電位の突き上げによるTFT素子の特性劣化を防止することができる。

【0170】本発明の請求項4記載のアクティブマトリクス基板は、以上のように、請求項3の構成において、前記第1～第3の保護回路は、互いに逆方向に並列接続された二つのダイオード構造の半導体素子を備える構成である。

【0171】それゆえ、第1～第3の保護回路は、いわゆるダイオードリング構造を有して構成されており、第1の保護回路は、隣接する予備配線のいずれに静電気が印加された場合も他の予備配線に電荷を逃がすことができる。

【0172】また、第1～第3の保護回路をかかるとした場合、基板上にTFT素子を形成する工程を利用して上記ダイオード構造の半導体素子を形成することができ、工程数の増加を抑えることができる。

【0173】本発明の請求項5記載のアクティブマトリクス基板は、以上のように、請求項4の構成において、前記第1の保護回路における、前記ダイオード構造の半導体素子のチャネル幅をチャネル長で除した比が、0.4以上3.0以下である構成である。

【0174】それゆえ、上記絶縁破壊の防止およびTFT素子の特性劣化の防止を確実に達成するとともに、表示装置に使用された場合にも装置の信頼性を確保できる。

【0175】本発明の請求項6記載のアクティブマトリクス基板は、以上のように、請求項5の構成において、前記第1の保護回路における、前記ダイオード構造の半導体素子のチャネル幅が $200\mu m$ 以下であり、チャネル長が $3\mu m$ 以上である構成である。

【0176】それゆえ、前記ダイオード構造の半導体素子のチャネル幅およびチャネル長を上記範囲に設定することにより、電荷を他の予備配線へ逃がすことができ、および、表示装置に使用された場合にも表示動作を支障

(15)

27

なく行うことができる。

【0177】本発明の請求項7記載のアクティブマトリクス基板は、以上のように、請求項4の構成において、前記予備配線と前記走査線とを接続する前記第3の保護回路における、前記ダイオード構造の半導体素子のチャネル幅をチャネル長で除した比が、他の保護回路の比よりも低く設計されている構成である。

【0178】それゆえ、表示装置に使用された場合に、表示動作時に印加される電圧に応じて、上記第3の保護回路のチャネル幅をチャネル長で除した比を低く設定しており、これにより、装置の信頼性をさらに高めることができる。

【0179】本発明の請求項8記載のアクティブマトリクス基板は、以上のように、請求項1の構成において、点灯検査後に切り落とされるべき領域に、前記走査線に接続された点灯検査用の端子および信号線に接続された点灯検査用の端子と、前記予備配線に接続された点灯検査用の端子と、前記予備配線の各隣合う線を接続する第4の保護回路とを備える構成である。

【0180】それゆえ、上記第4の保護回路を備えているので、さらに、予備配線と信号線もしくは走査線との交差部における絶縁破壊を防止し、電位の突き上げによるTFT素子の特性劣化を防止することができる。

【0181】本発明の請求項9記載のアクティブマトリクス基板は、以上のように、請求項8の構成において、前記第4の保護回路の抵抗値は、前記第1の保護回路の抵抗値よりも小さく、かつ前記予備配線1本分の抵抗値の20倍よりも大きい構成である。

【0182】それゆえ、第4の保護回路の抵抗値を上記範囲に設定することで、電荷をさらに確実に他の予備配線へ逃がすことができ、また、線欠陥のレーザ修正時に接続箇所の抵抗が十分低いかどうかを判断することができる。

【0183】本発明の請求項10記載のアクティブマトリクス基板は、以上のように、請求項8の構成において、点灯検査後に切り落とされるべき領域に、前記走査線の点灯検査用の各端子および／または前記信号線の点灯検査用の各端子を接続する第5の保護回路を備えるとともに、前記予備配線と前記走査線および／または前記予備配線と前記信号線とを接続する第6の保護回路を備える構成である。

【0184】それゆえ、さらに第4および第5の保護回路を備えるので、静電気を予備配線の配設本数分で受け入れる場合よりも、さらに、予備配線と信号線もしくは走査線との交差部における絶縁破壊を防止し、電位の突き上げによるTFT素子の特性劣化を防止することができる。

【0185】本発明の請求項11記載のアクティブマトリクス基板は、以上のように、請求項10の構成において、前記第4～第6の保護回路は、互いに逆方向に並列

28

接続された二つのダイオード構造の半導体素子を備える構成である。

【0186】それゆえ、第4～第6の保護回路は、いわゆるダイオードリング構造を有して構成されており、第4の保護回路は、隣接する予備配線のいずれに静電気が印加された場合も他の予備配線に電荷を逃がすことができる。

【0187】また、第4～第6の保護回路をかかるとした場合、基板上にTFT素子を形成する工程を利用して上記ダイオード構造の半導体素子を形成することができ、工程数の増加を抑えることができる。

【0188】本発明の請求項12記載のアクティブマトリクス基板は、以上のように、請求項11の構成において、前記第4の保護回路における、前記ダイオード構造の半導体素子のチャネル幅をチャネル長で除した比が、前記第1の保護回路の比よりも大きく、かつ3000以下である構成である。

【0189】それゆえ、上記絶縁破壊の防止およびTFT素子の特性劣化の防止を確実に達成するとともに、線欠陥のレーザ修正時に接続箇所の抵抗検査を円滑に行うことができる。

【0190】本発明の請求項13記載のアクティブマトリクス基板は、以上のように、請求項11の構成において、前記第4の保護回路における、前記半導体素子のゲート絶縁膜は、ゲート電極の陽極酸化膜を含むことなく構成される一方、前記第1の保護回路において、前記半導体素子のゲート絶縁膜は、ゲート電極の陽極酸化膜を含んで構成される。

【0191】それゆえ、前記第4の保護回路における前記半導体素子は、ゲート電極の陽極酸化膜を含まない構造を採用しており、これにより、抵抗値の減少を図ることができる。

【0192】本発明の請求項14記載のアクティブマトリクス基板は、以上のように、請求項1または8の構成において、前記第1の保護回路または第4の保護回路が遮光されている構成である。

【0193】それゆえ、第1の保護回路または第4の保護回路が半導体層を備えて構成されている場合に、該半導体層に光があたることによって電子・正孔対が発生してリーク電流が増加し、設計したとおりの抵抗値とならないことを防止でき、また、光のエネルギーによって半導体層の劣化が加速されることを防止できる。

【0194】本発明の請求項15記載のアクティブマトリクス基板の検査方法は、以上のように、請求項8記載のアクティブマトリクス基板の検査方法であって、前記第4の保護回路の抵抗値が、前記予備配線1本分の抵抗値の20倍よりも大きくなる範囲で、ループ抵抗を測定する抵抗測定装置の印加電圧を決定している方法である。

【0195】それゆえ、線欠陥のレーザ修正時に接続箇

(16)

29

所の抵抗が十分低いかどうかを容易に判断でき、抵抗検査を円滑に行うことができるという効果を奏する。

【0196】本発明の請求項16記載のアクティブマトリクス基板の検査方法は、以上のように、請求項15記載の方法において、修正を施した複数の予備配線間に1 μ A以下の電流を流し、その端子間電圧を測定することにより、ループ抵抗を測定する方法である。

【0197】それゆえ、予備配線間に1 μ A以下の電流を流し、その端子間電圧を測定する検査方法をとることによって、予備配線が低抵抗でレーザ接続されたかどうかの確認をさらに確実に行うことができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係るアクティブマトリクス基板の構成を概略的に示す平面図である。

【図2】上記のアクティブマトリクス基板における画素部の平面図である。

【図3】図2の画素部におけるA-A'線矢視断面図である。

【図4】上記のアクティブマトリクス基板に設けられる保護回路の回路図である。

【図5】図4の保護回路の平面図である。

【図6】図5の保護回路におけるB-B'線矢視断面図である。

【図7】ダイオードリング構造を有する保護回路の電気特性を示すグラフである。

30

【図8】本発明の他の実施形態に係るアクティブマトリクス基板の構成を概略的に示す平面図である。

【図9】従来のアクティブマトリクス基板の構成を概略的に示す平面図である。

【図10】従来のアクティブマトリクス基板に設けられる保護回路の回路図である。

【符号の説明】

1 アクティブマトリクス基板

2 対向基板

3 走査線

4 信号線

5 画素部

6 有効表示領域

7 予備配線

8 走査線入力端子

9 信号線入力端子

10 保護回路(第2の保護回路)

11 保護回路(第3の保護回路)

12 保護回路(第1の保護回路)

12a・12b スイッチング素子(半導体素子)

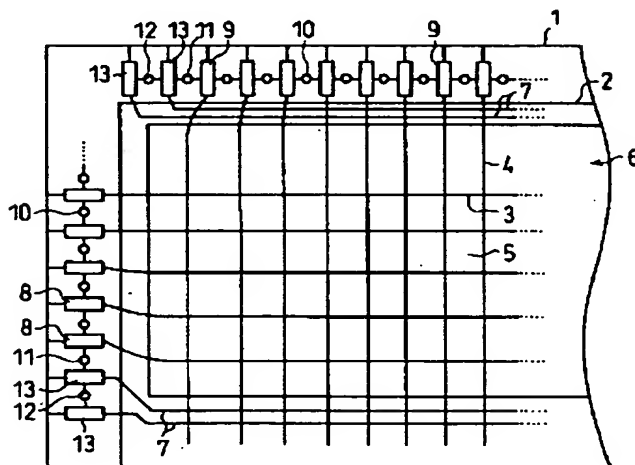
47 保護回路(第5の保護回路)

48 保護回路(第6の保護回路)

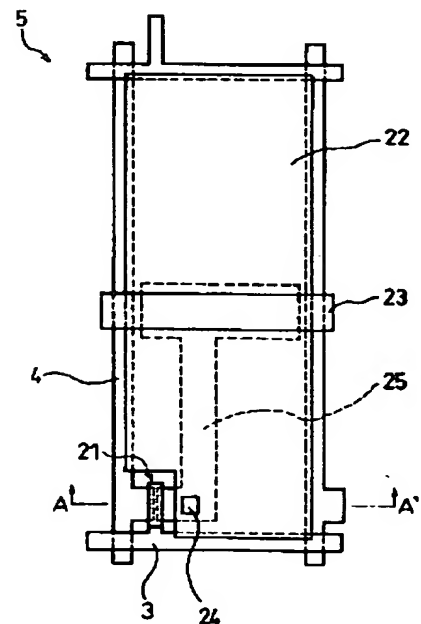
49 保護回路(第4の保護回路)

32 層間絶縁膜

【図1】

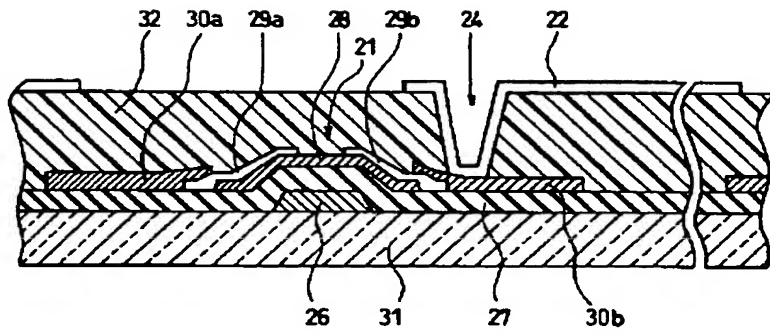


【図2】

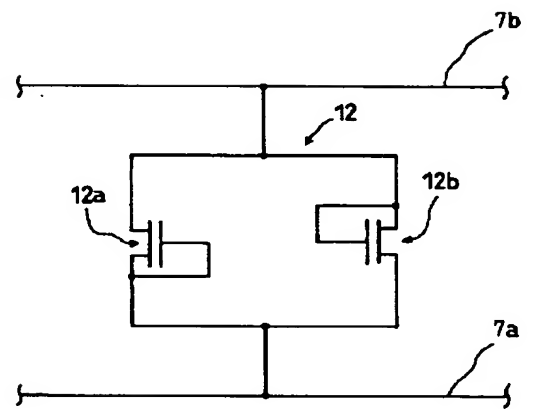


(17)

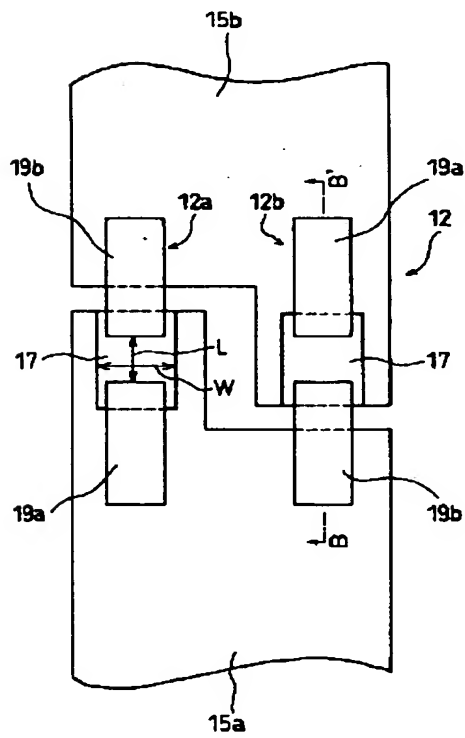
【図3】



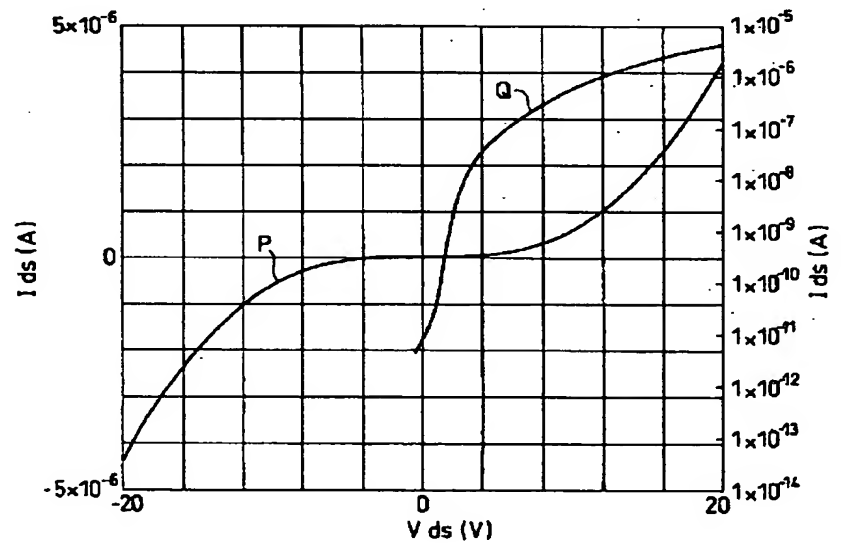
【図4】



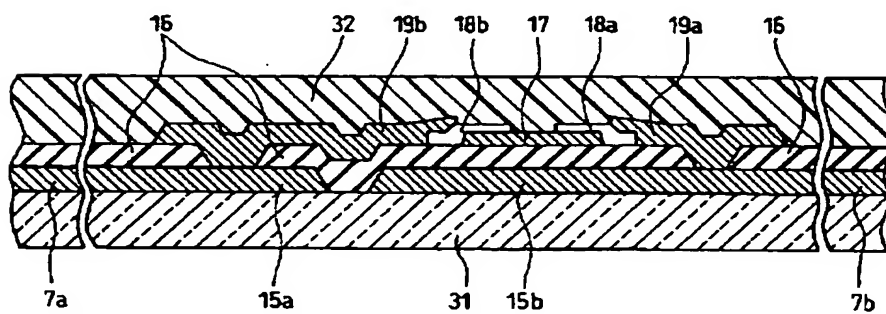
【図5】



【図7】

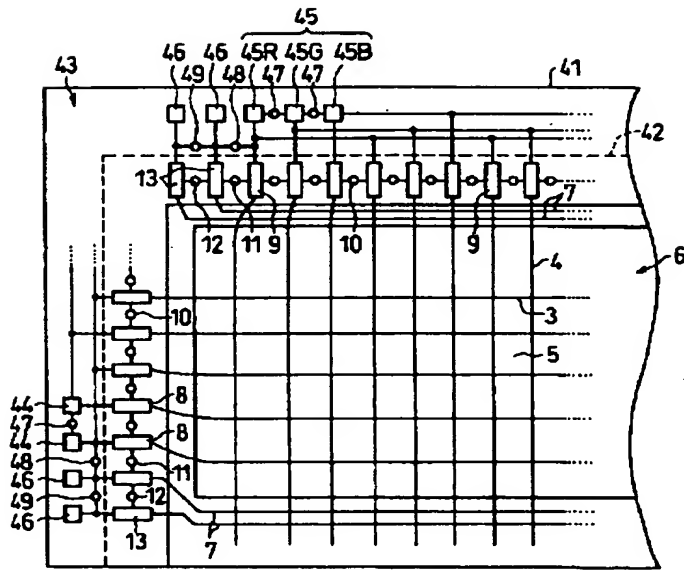


【図6】

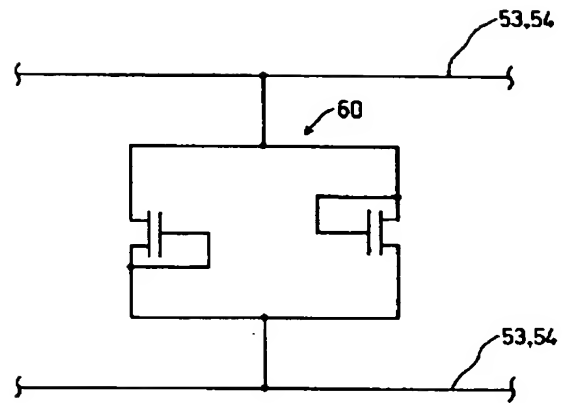


(18)

【図8】



【図10】



【図9】

